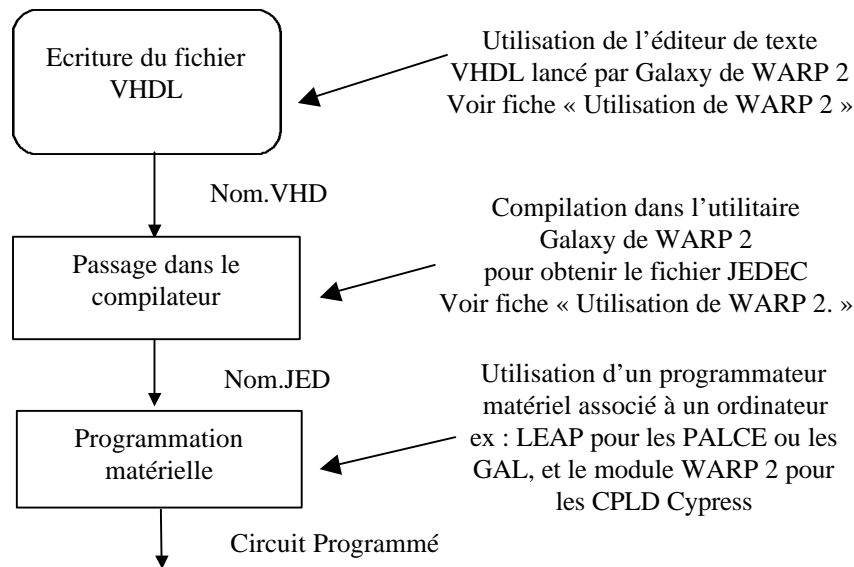


Programmation des PLD avec VHDL

Cette fiche est consacrée au langage de programmation VHDL (VHSIC Hardware Description Language où VHSIC signifie Very High Scale Integrated Circuits) dans le cas de fonctionnements combinatoires et séquentiels.

La programmation d'un circuit logique programmable de type PAL ou GAL nécessite un fichier standardisé au format JEDEC (Nom.JED) qui correspond à la table des fusibles (masque) du composant à programmer. L'obtention de ce fichier JEDEC est assurée par un compilateur (un grand mot pour dire programme !) dont le point d'entrée est un fichier texte écrit dans le langage VHDL présenté dans cette fiche.

1 - Principe de programmation d'un PLD



2 - Syntaxe de base du langage VHDL

2-1 Opérateurs Logiques

Le tableau ci-dessous indique la syntaxe VHDL permettant de décrire des équations logiques utilisant les opérateurs logiques usuels.

Opérateurs	Noms	Syntaxe	Fonction obtenue
not	Non	C <= not(A)	\overline{A}
and	Et	C <= A and B	A.B
or	Ou	C <= A or B	A+B
nand	Non Et	C <= A nand B	$\overline{A.B}$
nor	Non Ou	C <= A nor B	$\overline{A+B}$
xor	Ou Exclusif	C <= A xor B	$A \oplus B$
xnor	Non Ou Exclusif	C <= A xnor B	$\overline{A \oplus B}$

3 - Exemple de fichier VHDL combinatoire

```

library ieee;
use ieee.std_logic_1164.all;
use work.numeric_std.all;

entity Mon_Circuit is

    port(A,B:in std_logic;
          S:out std_logic);

    Attribute pin_numbers of Mon_Circuit : entity is "A:2 B:3 S:15";

end entity Mon_Circuit;

architecture Mon_Equation of Mon_Circuit is

    begin
        S<=A nand B;
    end Mon_Equation;
    
```

Dans les parties 3 et 4, les mots et les caractères indiqués **en gras et en italique**, sont des mots clés syntaxiques permettant au compilateur de reconnaître un fichier VHDL.

4 - Exemple de fichier VHDL séquentiel

```

library ieee;
use ieee.std_logic_1164.all;
use work.numeric_std.all;

entity Ma_Bascule is

    port(D,CLK:in std_logic;
          Q:out std_logic);

    Attribute pin_numbers of Ma_Bascule : entity is "CLK:1 D:2 Q:15";

end entity Ma_Bascule;

architecture Fonctionnement of Ma_Bascule is

    begin
        process(CLK)
            begin
                if(CLK='1' then Q<=D);
                else Q<=Q;
                end if;
            end process;
        end Fonctionnement;
    
```

Pour plus de renseignements concernant la syntaxe VHDL, consulter le document **Eléments de base du langage VHDL**.